

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329787

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/822
H01L 27/04

(21)Application number : 2001-131680

(71)Applicant : KYOCERA CORP

(22)Date of filing : 27.04.2001

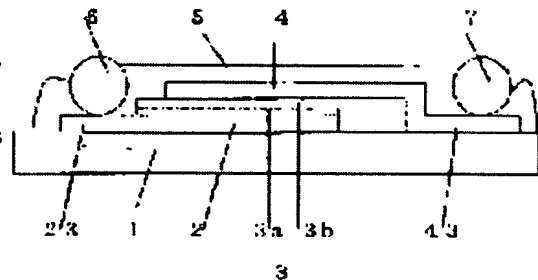
(72)Inventor : MISHIMA TSUNEO

(54) VARIABLE CAPACITOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a variable capacitor whose whole dielectric layers have extremely little oxygen lattice defects and a very small loss thereby, and to provide its manufacturing method.

SOLUTION: In a variable capacitor formed by sequentially laminating a lower electrode layer 2, a dielectric layer 3 whose the dielectric constant varies by applying an outer control voltage, and an upper electrode 4 on a holding substrate 1, the dielectric layer 3 consists of perovskite oxide crystalline particles containing at least Ba, Sr, and Ti, and the crystalline particle is oriented to the face (111). The dielectric layer 3 comprises the orientation-controlled lower dielectric layer 3a and the upper electrode layer 3b formed on the lower dielectric layer 3a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-329787
(P2002-329787A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int. Cl.
H 0 1 L 21/822
27/04

識別記号

P I
H 0 1 L 27/04

キーワード(参考)
C 5 F 0 3 8

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特開2001-131680(P2001-131680)

(22) 出願日 平成13年4月27日 (2001. 4. 27)

(71) 出願人 000008839

京セラ株式会社

京都府京都市伏見区竹田島羽殿町 6 番地

(72) 発明者 見島 常雄

京都府相楽郡精華町光合 3 丁目 5 番地 3 号

京セラ株式会社中央研究所内

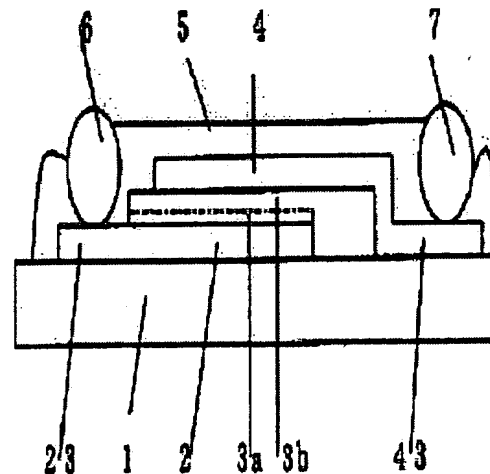
Fターム(参考) 5F038 AC05 AC15 AC17 AC18 EZ17

(54) 【発明の名称】 可変容量コンデンサおよび製造方法

(57) 【要約】

【課題】誘電体層全体で、酸素の格子欠陥が非常に少なく、その結果、損失が非常に少ない誘電体層を有する可変コンデンサ及びその製造方法を提供する。

【解決手段】 支持基板 1 上に下部電極層 2、外部制御電圧を印加することにより誘電率が変化する誘電体層 3、上部電極層 4 を順次被着してなる可変容量コンデンサにおいて、前記誘電体層 3 が、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子からなり、その結晶粒子が (1-1-1) 面に配向している。また、この誘電体層 3 の形成するにあたり、配向制御された下部誘電体層 3 a 上に上部誘電体層 3 b を形成する可変容量コンデンサの製造方法である。



【特許請求の範囲】

【請求項 1】 支持基板上に下部電極層、電圧印加により誘電率が変化する誘電体層及び上部電極層を順次被着してなる可変容量コンデンサにおいて、

前記誘電体層が、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶粒子からなり、その結晶粒子が(111)面に配向していることを特徴とする可変容量コンデンサ。

【請求項 2】 前記誘電体層を構成するペロブスカイト型酸化物が、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ におけるxの範囲が0.4から0.6であることを特徴とする請求項1記載の可変容量コンデンサ。

【請求項 3】 前記誘電体層の膜厚が1 μm 以下であるとともに、前記誘電体層を構成する誘電体結晶粒子が膜厚方向に長い柱状晶であり、その結晶粒子の膜厚方向の平均粒径が0.5 μm 以下であることを特徴とする請求項1ないし2記載の可変容量コンデンサ。

【請求項 4】 前記下部電極層が、(111)面に配向したPt、Auまたはそれらの固溶体からなる請求項1ないし3記載の可変容量コンデンサ。

【請求項 5】 支持基板上に下部電極層、電圧印加により誘電率が変化する誘電体層、上部電極層を順次被着してなる可変容量コンデンサの製造方法において、

前記支持基板上に、(111)面に配向したPt、Auまたはそれらの固溶体からなる下部電極層を形成し、次に、全誘電体層の厚みの1/2以下の厚みの下部誘電体層を形成するとともに、熱処理により(111)面に配向させ、次に前記下部誘電体層上に上部誘電体層を形成し、その後、上部電極層を被着形成することを特徴とする可変容量コンデンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誘電体層に外部より電圧（以下、外部制御電圧という）を印加して、誘電体層の誘電率を変化させることにより、静電容量の制御を行なう可変容量コンデンサに関し、特に高い誘電率の変化率を有すると共に、高周波動作においても誘電損失が小さい誘電体層を具備する可変容量コンデンサ及びその製造方法に関するものである。

【0002】

【従来技術】 従来、可変容量コンデンサとしてはダイオードに逆バイアスを印加することにより容量を変化させるバラクタダイオードが用いられてきた。ダイオードはPN接合に順方向にバイアスをかけた時に電流が流れることを利用して整流回路などに用いられる。上述のPN接合面には電子もホールも存在しない空乏層と呼ばれる領域が存在しており、ダイオードに逆バイアスをかけると電子とホールは共にPN接合面から遠ざかる方向に引張られるために空乏層が厚くなり、空乏層の厚さは逆バイアスの大きさに依存して変化する。この空乏層は誘電

体と考えることができるため、ダイオードに逆バイアスをかけた場合は、逆バイアスの大きさに依存して誘電体の厚みが増加し、その結果として容量が増加するコンデンサとして利用することができる。

【0003】 バラクタダイオードは特に可変容量コンデンサとして利用するために規格化されているものである。バラクタダイオードは容量可変コンデンサとして通信機器に用いられているが、近年は携帯通信端末の需要増加のために通信に用いられる周波数帯域の高周波化が進められていることに加えて、端末の低電圧化が進められている。バラクタダイオードでは高周波では損失が大きくなり、また低電圧では空乏層が薄くなり、リーク電流が大きくなり、原理的にコンデンサとして機能しなくなるため、高周波回路への対応（高周波動作対応）が困難である。

【0004】 このため、高周波動作しても可変容量コンデンサとして使用可能な素子を構成するために $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ （以下BSTと略する）を始めとする誘電体材料が提案されている（例えば、特開平11-3899号公報参照）。このような誘電体材料を誘電体層とする可変容量コンデンサの容量の変化率は誘電体層に加えられる電界強度の関数となるので、低電圧で容量を変化させる可変容量コンデンサに用いる誘電体層の厚みは通常数 μm 程度以下である必要がある。そのような誘電体層を作製するためにはスパッタ法、ゾルゲル法、CVD法等の方法が用いられる。誘電体層を用いた可変容量コンデンサを安価に多量に安定に作製するためにはスパッタ法を用いることが有効であると考えられる。スパッタ法を用いて誘電体層を作製するためには、ターゲットとして目的とする誘電体と同一の組成のセラミックスを用いるのが一般的である。この様なセラミックスのターゲットを用いたスパッタではRFスパッタ装置を用い、スパッタ雰囲気としてArガスに加えてO₂ガスを混合したものを用いるのが一般的である。通常、金属薄膜の成膜ではArガスのみによる雰囲気中でスパッタが行なわれるが、セラミックスでは成膜時に酸素の脱離が起こり、その結果として、作製した誘電体層の酸素濃度が定比組成より少なくなってしまう。多量の酸素の格子欠陥を生じてしまう。この様な酸素の格子欠陥の生成を抑えるために、スパッタ時の雰囲気中にO₂ガスが導入される。実際にはO₂ガス導入によるスパッタ雰囲気の変更だけでは、酸素の格子欠陥の生成は抑制しきれず、酸素の格子欠陥を更に減らすためにスパッタ後にスパッタ時の基板温度よりも高い温度で長時間の熱処理が行なわれている（例えば、特開平9-31645号公報参照）。

【0005】 また、酸素の格子欠陥による誘電損失の劣化を抑制するために、スパッタ後の熱処理に加えて、誘電体層にMn等を添加する方法も報告されている（例えば、W.Chang, et al., Mat. Res. Soc. Symp. Proc. Vol. 1541, (1999) 699参照）。

【0006】

【発明が解決しようとする課題】しかしながら、上述の酸素の格子欠陥による誘電損失の劣化または酸素の格子欠陥の生成自体を抑制する方法は、スパッタ後に長時間の熱処理を必要とするものであり、生産性を向上させて可変容量コンデンサを作製する方法としては効率が悪く、安価に作製できないという問題があった。

【0007】本発明は、上述の問題点に鑑みて案出されたものであり、その目的は、酸素の格子欠陥が少ない誘電体層を有する可変コンデンサを提供することである。

【0008】また、別の目的は、長時間の熱処理を必要とせず、短時間に且つ安価に酸素の格子欠陥が少ない誘電体層を有する可変コンデンサの製造方法を提供することである。

【0009】

【課題を解決するための手段】本発明は、支持基板上に下部電極層、電圧印加により誘電率が変化する誘電体層、上部電極層を順次被着してなる可変容量コンデンサにおいて、前記誘電体層が、少なくともBa、Sr、Tiを含むペロブスカイト型酸化物結晶粒子からなり、その結晶粒子が(111)面に配向している可変容量コンデンサである。

【0010】尚、前記誘電体層を構成するペロブスカイト型酸化物が、 $(\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3)$ におけるxの範囲が0.4から0.6である。

【0011】さらに、前記誘電体層の膜厚が1 μm 以下であるとともに、前記誘電体層を構成する誘電体結晶粒子が膜厚方向に長い柱状晶であり、その結晶粒子の膜厚方向の平均粒径が0.5 μm 以下である。

【0012】さらに、前記下部電極層が、(111)面に配向しており、しかも、Pt、Auまたはそれらの固溶体からなる。

【0013】また、可変容量コンデンサの製造方法では、支持基板上に、(111)面に配向したPt、Auまたはそれらの固溶体からなる下部電極層を形成し、次に、全誘電体層の厚みの1/2以下の厚みの下部誘電体層を形成し、熱処理により(111)面に配向させ、次に、前記下部誘電体層上に上部誘電体層を形成し、その後、上部電極層を被着形成するものである。

【0014】本発明は、誘電体層であるBST薄膜のスパッタ後の熱処理による酸素の格子欠陥の抑制は、膜厚が十分薄ければ短時間で済むことを見いだしたものである。また、この薄い酸素の格子欠陥を抑制した層を下部誘電体層とし、結晶構造が膜厚方向に柱状に成長する。このようにすれば、下部電極層上に直接誘電体層を成膜する場合よりも酸素の格子欠陥が少なく誘電損失が抑制された誘電体層が得られる。さらに、具体的には、誘電体層を形成する基板上に下部電極層をPt、Auまたはそれらの固溶体としスパッタで形成することにより、面心立方格子であるこれらの金属は(111)面に配向する。

この状態で、この上に形成したBSTの下部誘電体層も

(111)面に配向させることができる。

【0015】即ち、本発明の可変容量コンデンサは、前記誘電体層の膜厚が1 μm 以下であり、前記誘電体層が、少なくともBa、Sr、Tiを含むペロブスカイト型酸化物結晶粒子からなり、その結晶粒子が(111)面に配向している。また、誘電体層を構成する誘電体結晶粒子が膜厚方向に長い柱状晶であり、該結晶粒子の膜厚方向の平均粒径が0.5 μm 以下である。このような誘電体層は、基板上に、下部電極層として、(111)面に配向したPt、Auまたはそれらの固溶体からなっている。

【0016】これにより、酸素の格子欠陥が少ない誘電体層を有する可変コンデンサを提供することができ、しかも、長時間の熱処理を必要とせず、短時間に且つ安価に酸素の格子欠陥が少ない誘電体層を有する可変コンデンサの製造方法を製造することができる。

【0017】

【発明の実施の形態】以下、本発明の可変容量コンデンサを図面に基づいて詳説する。

【0018】図1は、本発明の可変コンデンサの断面を示すもので、図2は、要部分の平面図である。

【0019】図において、1は支持基板であり、21、22は下部電極層（図1では単に符号2を付す）であり、23は下部端子電極層であり、31、32は誘電体層（図1では、単に符号3を付す）であり、41、42は上部電極層（図1では、単に符号4を付す）であり、5は保護層であり、6、7は外部端子である。尚、容量発生領域とは、図2に示すように、誘電体層31を下部電極層21と上部電極層31とで挟持している対向部分、誘電体層32を下部電極層22と上部電極層32とで挟持している対向部分である。図では、2つ容量発生領域a、bの2つの容量発生領域を有する。

【0020】支持基板1は、アルミナなどのセラミック基板、サファイアなどの単結晶基板などであり、その表面に下部電極層21、22及び下部端子電極層23が形成されている。特に、容量発生領域a、bを構成する下部電極層21、22は、(111)面に配向したPt、Auまたはそれらの固溶体からなる。また、基板1と下部電極層21、22との間にTiやTiO₂などの密着層を介在させても構わない。下部電極層21、22及び下部端子電極層23は、その膜厚は1 μm 以上であり、下部電極層21、22による誘電損失を軽減するためには3 μm 以上であることが望ましい。例えば、下部電極層はPtの(111)面が優先的に配向するように、支持基板1としてサファイア単結晶基板を用い、その表面に150℃から600℃でPtから下部電極層21、22をスパッタ法にて形成する。この下部電極層21、22上には誘電体層31、32が形成されている。

【0021】誘電体層31、32は少なくともBa、Sr、

Tiを含有するペロブスカイト型酸化物結晶粒子からなり、該結晶粒子が(111)面に配向して形成される。この誘電体層31、32に外部制御電圧を印加することにより、誘電体層31、32自身の誘電率を可変制御することができる。尚、この誘電体層31、32を構成するペロブスカイト型酸化物において(BaxSr1-x)TiO3におけるxの範囲が0.4から0.6である。ここでxの範囲が0.4以下ではSrTiO3の影響が大きくなり上述の外部制御電圧を印加した時の誘電率の変化率が小さくなる。また、0.6以上ではBaTiO3の影響が大きくなり温度特性が劣化するからである。

【0022】この誘電体層31、32の膜厚は1μm以下が好ましく、誘電体層31、32を構成する誘電体結晶粒子の膜面方向の平均粒径は0.5μm以下となっている。

【0023】誘電体層31、32の膜厚を1μm以下としたのは、1μmよりも大きくなると、薄膜を形成するためのスパッタに要する時間が長くなり、また、可変容量コンデンサを形成した場合、容量を変化させるための印加電圧が大きくなるからである。

【0024】また、誘電体層31、32は、下部誘電体層3aと上部誘電体層3bの積層構造となっている。下部誘電体層3aは、誘電体層31、32自身の配向方向を決定するための層であり、上部誘電体層3bは、下部誘電体層3aの配向に追従して形成される誘電体層である。尚、下部誘電体層3aの厚みは、誘電体層31、32全体の1/2以下、例えば、0.5μm以下の厚みとなっている。上部誘電体層3bの厚みはその残部の厚みとなる。

【0025】また、誘電体層31、32を構成する誘電体結晶粒子の膜面方向の平均粒径は0.5μm以下となっている。

【0026】誘電体層31、32の誘電体結晶粒子の平均粒径を0.5μm以下としたのは、誘電体層31、32の誘電率は粒径に依存して増加することに加えて、同じ材料では損失は誘電率に比例して大きくなるからであり、粒径が大きくなると誘電率が大きくなり、結果として損失が大きくなるからである。

【0027】ここで、誘電体層31、32は例えば、以下のようにして作製される。スパッタのターゲットとして少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶粒子からなる焼結体を用いる。スパッタ装置は絶縁性である酸化物の焼結体をスパッタするためのRFスパッタを用いる。まず下部誘電体層3aを形成する。下部誘電体層3aは誘電体層31、32と同一組成のターゲットを用いて作製し、下部誘電体層3aの厚みは誘電体層全体の1/2以下とする。スパッタを行なうためにターゲットと基板1をスパッタ装置のチャンバー内に設置し、真空引き後、基板背面のヒーターにより支持基板1を加熱する。スパッタ中に基板に堆積した下部誘電体層

3aとなる誘電体膜の酸素の脱離を防止するため、スパッタ雰囲気としてアルゴンと酸素の混合ガスを用いた反応性スパッタ法を用いる。スパッタ終了後、チャンバーから支持基板1を取り出し、大気炉で700℃～1000℃で数分から1時間程度の熱処理を行なう。ここで下部誘電体層3aの厚さを全体の1/2以下としたのは、これ以上厚いと長時間の熱処理を必要とするからであり、熱処理時間の短縮のためには下部誘電体層3aの厚さは、全体の誘電体層31、32の1/10程度以下が望ましい。

【0028】そして、上述のように下部電極層21、22が(111)に配向したPt、Auまたはそれらの合金であるため、上述の熱処理された下部誘電体層3aの配向は、(111)配向となる。

【0029】次に上述の下部誘電体層3a上に、所定の膜厚の誘電体層31、32を得るため、同一条件で再度スパッタを行なう。このように上部誘電体層3bは、上述のように(111)面が配向した下部誘電体層3a上に形成されるため、この配向に追従して上部誘電体層3bも、熱処理することなく(111)配向した誘電体層3bとなる。即ち、下部誘電体層3a、上部誘電体層3bとからなる誘電体層31、32は、全体として、(111)面が配向した誘電体層となる。

【0030】この誘電体層31、32の上面及び支持基板1にわたり、上部電極層41、42及び上部端子電極層43が形成されている。

【0031】上部電極層41、42及び上部端子電極層43は、Pt、Auまたはそれらの固溶体からなる。また、基板11と上部電極層41、42及び上部端子電極層43との間にTiやTiO2などの密着層を介在させても構わない。尚、上部電極層41、42の膜厚は1μm以上であり、さらに導体損失を軽減するためには3μm以上であることが望ましい。

【0032】また、保護膜5は、下部端子電極層23、上部端子電極層43の一部を露出するように形成されている。保護膜としては、SiO2、SiN、BCB(ベンゾシクロブテン)、ポリイミドなどが好適である。この保護膜5は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

【0033】また、外部端子6、7は、半田ボールや金属ハンパなどが例示できる。具体的には、下部端子電極層23、上部端子電極層24が露出する部分には、例えば半田ボールを形成したり、また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのハンパを形成しても構わない。尚、外部端子6、7として半田ボールを形成するためには、下部端子電極層23や上部端子電極層43の露出部分に半田食われを防止するNiやCrの薄膜を形成しても構わない。尚、半田付けを実装時のみで行なうことを前提とし

た場合、上述の半田食われを防止するNiやCrの薄膜を外部端子としても構わない。

【0034】図2においては、本発明の可変容量コンデンサは、複数、例えば2つの容量発生領域a、bとから構成されている。即ち、容量発生領域aは、下部電極21、誘電体層31、上部電極層41とが順次積層した部分で構成され、容量発生領域bは、下部電極22、誘電体層32、上部電極層42とが順次積層した部分で構成されている。そして、容量発生領域aと容量発生領域bとが互いに並列的に接続されている。即ち、下部電極層21、22から延びる下部端子電極層23は互いに共通化されている。また、上部電極層41、42から延びる上部端子電極層43は互いに共通化されている。従って、外部端子6、7に端子電極からは、2つの容量発生領域a、bの容量の並列された合成容量を得ることができる。そして、誘電体層31、32の誘電率に所定電位の外部制御電圧を印加することにより、その誘電体層31、32の誘電率を可変制御できる。即ち、上述の外部端子6、7に供給した外部制御電圧により、容量発生領域a、bの誘電体層31、32の誘電率が変化する。そして、容量発生領域が分割されて、単一の容量発生領域の面積が小さくなっている。即ち、外部制御電圧の印加した時、容量発生領域a、bにかかる電位が、その領域内での分布が小さくなり、上部電極層41、42で発生する電圧降下を小さくでき、誘電体層31、32に安定した均一の電位の外部制御電圧を印加することができる。このような動作は、上述したように、誘電体層3

1、32が酸素の格子欠陥が少ない誘電体層であるためである。

【0035】

【実施例】支持基板1としてサファイアR基板上に、下部電極層としてPtを、基板温度600℃でスパッタ法により形成した。その上に(BaxSr1-x)TiO3 (xは0.4から0.6)からなるターゲットを用いてBSTの下部誘電体層3aを形成した。基板温度は500℃、成膜時間は4分で、スパッタ装置から取り出し後、大気中で900℃60分の熱処理を行なった。さらにその上に同一条件で40分のスパッタを行ないBSTの上部誘電体層3bを形成した。最後に上部電極41、42としてAu電極層を形成しコンデンサを形成した。尚、上述の下部電極層の形成時に、同時に下部端子電極層23を、上部電極層の形成時に上部端子電極層43を形成した。そして、このような可変容量コンデンサをX線回折により、Ptからなる下部電極層21、22および下部誘電体層3a、上部誘電体層3bとからなる誘電体層31、32の配向を調べた。

【0036】また、断面SEMおよび断面TEM観察により、誘電体層31、32の膜厚を測定し、また、ペロブスカイト粒子の膜面方向の平均粒径を測定した。誘電特性の測定はインピーダンスアナライザを用いて行なった。損失は100MHzでの値を表1に示した。誘電率の変化率は10V印加時の値を測定した。

【0037】

【表1】

試料	x	下部層	熱処理	膜面方向径	損失
1	0.4	有	無し	0.2μm	0.6%
2	0.5	有	無し	0.2μm	0.8%
3	0.6	有	無し	0.2μm	0.9%
4*	0.5	無し	無し	0.2μm	2.5%
5*	0.5	無し	900℃600分	0.6μm	1.4%

*は、本発明の範囲外の試料である。

【0038】比較例としてBSTの下部誘電体層を形成しない、即ち、一連の工程で誘電体層を形成したものである(試料番号4、5)。そして、さらに、この一連の工程で誘電体層全体に長時間(900℃、600分)の熱処理を行なった(試料番号5)。

【0039】その結果、下部電極層21、22はすべての試料で(111)面に配向していた。

【0040】また、試料番号1~3のようにBSTの誘電体層は熱処理を行なったものは(111)面に配向していたが、試料番号4のように、熱処理を行なわないBSTの誘電体層は(110)面に配向していた。

【0041】BSTの結晶粒子の膜面方向の粒径は、長時間熱処理を行なったもの(試料番号5)では0.5μm以上になっていたが、熱処理を行なわなかったものと短時間の熱処理を行なったもの(試料番号1~4)では0.5μm以下になっていた。短時間の熱処理により下

部誘電体層3aを形成した試料(試料番号1~3)では損失は1%以下であった。長時間の熱処理を行なったもの(試料番号5)は、膜面方向の粒径が大きくなっており、損失も大きくなっていった。熱処理を行なわないものは粒径は小さいままではあるが、酸素の格子欠陥が多量存在するため損失が大きくなっていった。尚、誘電率の変化率は作製条件によらず20%以上の高い値を示した。

【0042】以上のように、本発明の可変容量コンデンサを構成する誘電体層31、32は(111)面に配向したPt、Auまたはそれらの固溶体からなる下部電極層21、22上に、短時間の熱処理により(111)面に配向した誘電体層を下部誘電体層として形成した後に、再度、上部誘電体層を形成することにより得られる。従って、本発明の可変容量コンデンサによれば、従来、酸素の格子欠陥のによる誘電損失の劣化、または酸素の格子欠陥の生成自体を抑制することができる。また、必要と

していた長時間の熱処理を必要とせず、多量の可変容量コンデンサを効率よく、安価に作製できるようになる。尚、上述の実施例では、容量発生領域が複数に分割された構造の可変容量コンデンサを例にして説明したが、この構造に限定されることはなく、下部電極層、誘電体層、上部電極層を有するすべての構造の可変容量コンデンサに適用できるものである。

【0043】

【発明の効果】本発明は、誘電体層全体で、酸素の格子欠陥が非常に少なく、その結果、損失が非常に少ない誘電体層を有する可変コンデンサとなる。

【0044】また、長時間の熱処理を必要とせず、短時間に且つ安価に酸素の格子欠陥が少ない誘電体層を、簡単にすることができる。

【図面の簡単な説明】

【図1】本発明の可変容量コンデンサの断面図である。

【図2】本発明の可変容量コンデンサの要部分の平面図である。

【符号の説明】

1・・・支持基板

21、22、2・・・下部電極層

31、32、3・・・誘電体層

3a・・・下部誘電体層

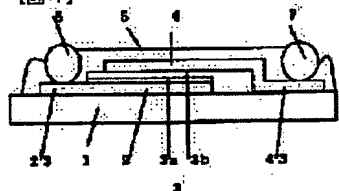
3b・・・上部誘電体層

41、42、4・・・上部電極層

5・・・保護膜

6、7・・・外部端子

【図1】



【図2】

